

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-124331

(P2000-124331A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/8242  
27/108

識別記号

F I

H 0 1 L 27/10

テマコード\*(参考)

3 2 1

5 F 0 8 3

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21)出願番号

特願平10-297737

(22)出願日

平成10年10月20日(1998.10.20)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 黒田 直喜

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 縣 政志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

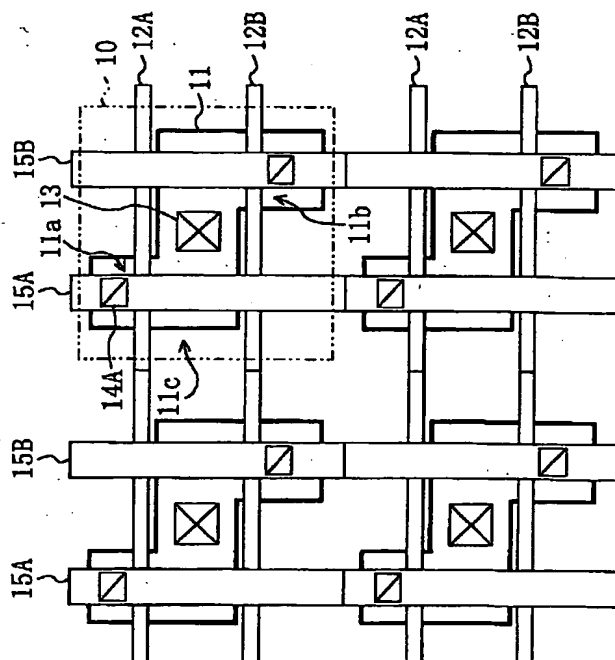
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 2トランジスタ1キャパシタメモリセルに対して、高集積度を実現できるようにする。

【解決手段】 半導体基板上に形成された素子領域11上には、屈曲部をそれぞれ横切るように互いに間隔をおいて延びる第1のワード線12A及び第2のワード線12Bが形成され、素子領域11のほぼ中央部には、データ蓄積用のキャパシタが形成されると共に、キャパシタのストレージノードと素子領域11とを接続するキャパシタコンタクト13が形成されている。素子領域11上における、第1のワード線12Aに対してキャパシタコンタクト13と反対側の端部には、素子領域11と接続された第1のビット線コンタクト14Aが形成され、第2のワード線12Aに対してキャパシタコンタクト13と反対側の端部には、素子領域11と接続された第2のビット線コンタクト14Bが形成されている。



## 【特許請求の範囲】

【請求項 1】 基板上の素子領域の一部分からなる共有部を互いに共有する第 1 のスイッチ用トランジスタ及び第 2 のスイッチ用トランジスタと、前記共有部上に形成され、ストレージノードを持つデータ蓄積用のキャパシタを有するメモリセルと、前記第 1 のスイッチ用トランジスタ上に延びるように形成され、前記素子領域上における前記共有部の一方側の領域でゲート電極となる第 1 のワード線と、前記第 2 のスイッチ用トランジスタ上に延びるように形成され、前記素子領域上における前記共有部の他方側の領域でゲート電極となる第 2 のワード線と、前記共有部と前記ストレージノードとの間に形成され、前記共有部と前記ストレージノードとを電気的に接続するキャパシタコンタクトと、前記第 1 のスイッチ用トランジスタ上における前記第 1 のワード線に対して前記キャパシタコンタクトと反対側の領域に形成され、前記一方側の領域と電気的に接続された第 1 のビット線コンタクトと、前記第 2 のスイッチ用トランジスタ上における前記第 2 のワード線に対して前記キャパシタコンタクトと反対側の領域に形成され、前記他方側の領域と電気的に接続された第 2 のビット線コンタクトとを備え、前記第 1 のビット線コンタクト及び第 2 のビット線コンタクトは、前記メモリセルの中心部に対してほぼ点対称となるように設けられていることを特徴とする半導体記憶装置。

【請求項 2】 それぞれが、基板上の素子領域の一部分からなる共有部を互いに共有する第 1 のスイッチ用トランジスタ及び第 2 のスイッチ用トランジスタ、並びに前記共有部上に形成され、ストレージノードを持つデータ蓄積用のキャパシタを有する複数のメモリセルと、前記第 1 のスイッチ用トランジスタ上に延びるように形成され、前記素子領域上における前記共有部の一方側の領域でゲート電極となる第 1 のワード線と、前記第 2 のスイッチ用トランジスタ上に延びるように形成され、前記素子領域上における前記共有部の他方側の領域でゲート電極となる第 2 のワード線と、前記共有部と前記ストレージノードとの間に形成され、前記共有部と前記ストレージノードとを電気的に接続するキャパシタコンタクトと、前記第 1 のスイッチ用トランジスタ上における前記第 1 のワード線に対して前記キャパシタコンタクトと反対側の領域に形成され、前記一方側の領域と電気的に接続された第 1 のビット線コンタクトと、前記第 2 のスイッチ用トランジスタ上における前記第 2 のワード線に対して前記キャパシタコンタクトと反対側の領域に形成され、前記他方側の領域と電気的に接続された第 2 のビット線コンタクトと、前記第 1 のビット線コンタクト上に形成され、前記第 1

のビット線コンタクトと電気的に接続し且つ前記第 1 のワード線及び第 2 のワード線と交差するように延びる第 1 のビット線と、

前記第 2 のビット線コンタクト上に形成され、前記第 2 のビット線コンタクトと電気的に接続し且つ前記第 1 のワード線及び第 2 のワード線と交差するように延びる第 2 のビット線とを備え、

前記第 1 のビット線コンタクト及び第 2 のビット線コンタクトは、各メモリセルの中心部に対してほぼ点対称となるように設けられており、

ビット線方向に互いに隣接する前記メモリセル同士における前記素子領域のビット線方向側の端部は互いに連続し、

前記第 1 のビット線コンタクト及び第 2 のビット線コンタクトは互いに隣接する前記メモリセル同士によりそれぞれ共有されていることを特徴とする半導体記憶装置。

【請求項 3】 前記第 1 のワード線及び第 2 のワード線は、前記第 1 のビット線又は第 2 のビット線と交差する交差部の両側で屈曲する屈曲部を有していることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記第 1 のスイッチ用トランジスタ及び第 2 のスイッチ用トランジスタの各ゲート電極は、前記素子領域における前記第 1 のビット線及び第 2 のビット線のうちいずれか一方と重なる領域にのみ形成されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 5】 前記第 1 のスイッチ用トランジスタ及び第 2 のスイッチ用トランジスタの各素子領域は、前記第 1 のワード線、第 2 のワード線、第 1 のビット線及び第 2 のビット線のいずれに対しても、基板面内において斜めとなるように設けられていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 6】 前記第 1 のスイッチ用トランジスタ及び第 2 のスイッチ用トランジスタの各素子領域は、前記第 1 のビット線及び第 2 のビット線の間に設けられており、

前記第 1 のビット線と前記第 1 のビット線コンタクトとの間に形成され、前記第 1 のビット線と前記第 1 のビット線コンタクトとを電気的に接続する第 1 のビット補助線と、

前記第 2 のビット線と前記第 2 のビット線コンタクトとの間に形成され、前記第 1 のビット線と前記第 1 のビット線コンタクトとを電気的に接続する第 2 のビット補助線とをさらに備えていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 7】 ビット線方向に互いに隣接するメモリセル同士の該ビット線方向側の端部における、第 1 のスイッチ用トランジスタの素子領域同士及び第 2 のスイッチ用トランジスタの素子領域同士はそれぞれ連続し、前記第 1 のビット線コンタクト及び第 2 のビット線コンタクトは互いに隣接する前記メモリセル同士によりそれ

## 3

ぞれ共有されていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】 前記第1のビット線と前記第2のビット線とは、互いに重ねられた2層配線層からなることを特徴とする請求項6に記載の半導体記憶装置。

【請求項9】 前記2層配線層は前記メモリセルの上方で互いに交差していることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記第1のビット線及び第2のビット線は、それぞれが配線コンタクトにより電氣的に接続された上層配線及び下層配線を有し、前記上層配線及び下層配線は、互いに隣接する前記メモリセルごとに上層と下層との位置が互いに入れ替わるように設けられていることを特徴とする請求項9に記載の半導体記憶装置。

【請求項11】 基板上の第1の素子領域に形成された第1のスイッチ用トランジスタと、前記第1の素子領域上に延びるように形成され、前記第1の素子領域上でゲート電極となる第1のワード線と、前記第1の素子領域上における前記第1のワード線の側方の一方側の領域に形成されたデータ蓄積用の第1のキャパシタと、前記第1の素子領域上における前記第1のワード線の側方の他方側の領域に形成され、前記第1の素子領域と電氣的に接続された第1のビット線コンタクトと、前記基板上における前記第1のワード線に対して前記第1のキャパシタ側に、前記第1の素子領域と間隔をおいて設けられた第2の素子領域に形成された第2のスイッチ用トランジスタと、前記第2の素子領域上に前記第1のワード線と間隔をおいて形成され、前記第2の素子領域上でゲート電極となる第2のワード線と、前記第2の素子領域上における前記第2のワード線に対して前記第1のキャパシタ側に形成されたデータ蓄積用の第2のキャパシタと、前記第2の素子領域上における前記第2のワード線に対して前記第2のキャパシタと反対側に形成され、前記第2の素子領域と電氣的に接続された第2のビット線コンタクトとを備え、前記第1のキャパシタ及び第2のキャパシタは、前記第1のワード線及び第2のワード線に挟まれた領域に、前記第1の素子領域と前記第2の素子領域とを電氣的に接続するストレージノードを有していることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ダイナミックランダムアクセスメモリ回路等の半導体記憶装置に関し、特に、一のメモリセルが2つのトランジスタと1つのキャパシタとからなる2トランジスタ1キャパシタメモリセ

## 4

ルを含む半導体記憶装置に関する。

【0002】

【従来の技術】 ダイナミックランダムアクセスメモリ(DRAM)として広く実用化されているメモリセルは、1つのスイッチ用トランジスタと1つのキャパシタとからなる1トランジスタ1キャパシタメモリセルである。これは、メモリセルを小型化するために該メモリセルを構成する素子数を低減する改良を行ない続けた結果である。さらに、1トランジスタ1キャパシタメモリセルの小型化のために、メモリセルの形状や素子に対する微細化及び蓄積容量を確保するための技術も数多く実用化されている。

【0003】 以下、従来の1トランジスタ1キャパシタメモリセルについて図面を参照しながら説明する。

【0004】 図12は従来のメモリセルの平面構成を示している。図12に示すように、基板上に互いに隣接するメモリセル100A、100Bが規則的に配置されている。メモリセル100Aには、スイッチ用トランジスタの拡散層からなる素子領域101が形成され、素子領域101上にはスイッチ用トランジスタを制御するゲート電極となるワード線102が形成されている。

【0005】 素子領域101上におけるワード線102に対してメモリセル100Bと反対側の領域には、キャパシタ(図示せず)が形成され、キャパシタの下側には該キャパシタのストレージノードと素子領域102とを電氣的に接続するキャパシタコンタクト103が形成されている。

【0006】 一方、素子領域101上におけるワード線102に対してキャパシタコンタクト103と反対側の張り出し領域にはビット線コンタクト104が形成されており、基板上にはビット線コンタクト104と接続され且つワード線102と交差し、キャパシタに対してデータの読み書きを行なうためのビット線105が形成されている。

【0007】 このように、前記従来の1トランジスタ1キャパシタメモリセルは、メモリセル100A、100Bのサイズを微細化するために、隣り合うビット線105及び隣り合うワード線102のそれぞれの配線ピッチが最小となり且つ十分な蓄積容量を得られる最適なレイアウト構成を有している。

【0008】

【発明が解決しようとする課題】 本発明が対象とする2トランジスタ1キャパシタメモリセルは、現在のところ集積回路として実現されておらず、これを実現するため、従来の1トランジスタ1キャパシタメモリセルを単純に組み合わせるだけでは、従来のメモリセルのほぼ4倍の面積が必要となるため、メモリセルの面積が増大するという問題がある。

【0009】 ここで、2トランジスタ1キャパシタメモリセルは、データ蓄積用の1つのキャパシタに対して2

## 5

つのスイッチ用トランジスタが接続されているため、例えば、一のスイッチ用トランジスタを書き込み専用とし、他のスイッチ用トランジスタを読み出し専用とすれば、動作クロックの周波数を変更することなく動作サイクルを2倍にできるため、高速化を容易に図れる等の特徴を有している。

【0010】本発明は、前記の問題を解決し、2トランジスタ1キャパシタメモリセルに対して、高集積度を実現できるようにすることを第1の目的とし、高集積化を図った際にもビット線間の干渉雑音を低減できるようにすることを第2の目的とする。

## 【0011】

【課題を解決するための手段】本発明に係る第1の半導体記憶装置は、前記第1の目的を達成し、基板上の素子領域の一部分からなる共有部を互いに共有する第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタと、共有部上に形成され、ストレージノードを持つデータ蓄積用のキャパシタを有するメモリセルと、第1のスイッチ用トランジスタ上に延びるように形成され、素子領域上における共有部の一方側の領域でゲート電極となる第1のワード線と、第2のスイッチ用トランジスタ上に延びるように形成され、素子領域上における共有部の他方側の領域でゲート電極となる第2のワード線と、共有部とストレージノードとの間に形成され、共有部とストレージノードとを電気的に接続するキャパシタコンタクトと、第1のスイッチ用トランジスタ上における第1のワード線に対してキャパシタコンタクトと反対側の領域に形成され、一方側の領域と電気的に接続された第1のビット線コンタクトと、第2のスイッチ用トランジスタ上における第2のワード線に対してキャパシタコンタクトと反対側の領域に形成され、他方側の領域と電気的に接続された第2のビット線コンタクトとを備え、第1のビット線コンタクト及び第2のビット線コンタクトは、メモリセルの中心部に対してほぼ点対称となるように設けられている。

【0012】第1の半導体記憶装置によると、第1のスイッチ用トランジスタと第2のスイッチ用トランジスタとの素子領域の一部分からなる共有部にデータ蓄積用のキャパシタ及びキャパシタコンタクトが形成されているため、素子領域を共有しない場合と比べてメモリセルの面積を低減できる。その上、第1のビット線コンタクト及び第2のビット線コンタクトは、メモリセルの中心部に対してほぼ点対称となるように設けられているため、メモリセルにおける2つのスイッチ用トランジスタの配置に偏りが無い。

【0013】本発明に係る第2の半導体記憶装置は、前記第1の目的を達成し、それぞれが、基板上の素子領域の一部分からなる共有部を互いに共有する第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタ、並びに共有部上に形成され、ストレージノードを持つデ

## 6

ータ蓄積用のキャパシタを有する複数のメモリセルと、第1のスイッチ用トランジスタ上に延びるように形成され、素子領域上における共有部の一方側の領域でゲート電極となる第1のワード線と、第2のスイッチ用トランジスタ上に延びるように形成され、素子領域上における共有部の他方側の領域でゲート電極となる第2のワード線と、共有部とストレージノードとの間に形成され、共有部とストレージノードとを電気的に接続するキャパシタコンタクトと、第1のスイッチ用トランジスタ上における第1のワード線に対してキャパシタコンタクトと反対側の領域に形成され、一方側の領域と電気的に接続された第1のビット線コンタクトと、第2のスイッチ用トランジスタ上における第2のワード線に対してキャパシタコンタクトと反対側の領域に形成され、他方側の領域と電気的に接続された第2のビット線コンタクトと、第1のビット線コンタクト上に形成され、第1のビット線コンタクトと電気的に接続し且つ第1のワード線及び第2のワード線と交差するように延びる第1のビット線と、第2のビット線コンタクト上に形成され、第2のビット線コンタクトと電気的に接続し且つ第1のワード線及び第2のワード線と交差するように延びる第2のビット線を備え、第1のビット線コンタクト及び第2のビット線コンタクトは、各メモリセルの中心部に対してほぼ点対称となるように設けられており、ビット線方向に互いに隣接するメモリセル同士における素子領域のビット線方向側の端部は互いに連続し、第1のビット線コンタクト及び第2のビット線コンタクトは互いに隣接するメモリセル同士によりそれぞれ共有されている。

【0014】第2の半導体記憶装置によると、本発明の第1の半導体記憶装置のメモリセルを複数備えており、さらに、ビット線が延びる方向に互いに隣接するメモリセル同士の端部における素子領域が連続しているため、多様な製造プロセスを経て形成される半導体記憶装置では素子領域が孤立している場合と比べて素子領域の形状を維持しやすくなる。また、第1のビット線コンタクト及び第2のビット線コンタクトは互いに隣接するメモリセル同士によりそれぞれ共有されているため、ビット線コンタクトの数が半減する。

【0015】第2の半導体記憶装置において、第1のワード線及び第2のワード線が第1のビット線又は第2のビット線と交差する交差部の両側で屈曲する屈曲部を有していることが好ましい。

【0016】第2の半導体記憶装置において、第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタの各ゲート電極が、素子領域における第1のビット線及び第2のビット線のうちいずれか一方と重なる領域にのみ形成されていることが好ましい。

【0017】第2の半導体記憶装置において、第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタの各素子領域が、第1のワード線、第2のワード線、

第1のビット線及び第2のビット線のいずれに対しても、基板面内において斜めとなるように設けられていることが好ましい。

【0018】第2の半導体記憶装置は、第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタの各素子領域が、第1のビット線及び第2のビット線の間に設けられており、第1のビット線と第1のビット線コンタクトとの間に形成され、第1のビット線と第1のビット線コンタクトとを電氣的に接続する第1のビット補助線と、第2のビット線と第2のビット線コンタクトとの間に形成され、第1のビット線と第1のビット線コンタクトとを電氣的に接続する第2のビット補助線とをさらに備えていることが好ましい。

【0019】この場合の第2の半導体記憶装置において、ビット線方向に互いに隣接するメモリセル同士の該ビット線方向側の端部における、第1のスイッチ用トランジスタの素子領域同士及び第2のスイッチ用トランジスタの素子領域同士がそれぞれ連続し、第1のビット線コンタクト及び第2のビット線コンタクトは互いに隣接するメモリセル同士によりそれぞれ共有されていることが好ましい。

【0020】この場合の第2の半導体記憶装置において、第1のビット線と第2のビット線とが互いに重ねられた2層配線層からなることが好ましい。

【0021】この場合の第2の半導体記憶装置において、2層配線層がメモリセルの上方で互いに交差していることが好ましい。このようにすると、ビット線が平行に配置されている場合と比べて、ビット線間の寄生容量が低減するため、前記第2の目的を達成できる。

【0022】この場合の第2の半導体記憶装置において、第1のビット線及び第2のビット線が、それぞれが配線コンタクトにより電氣的に接続された上層配線及び下層配線を有し、上層配線及び下層配線は、互いに隣接するメモリセルごとに上層と下層との位置が互いに入れ替わるように設けられていることが好ましい。

【0023】本発明に係る第3の半導体装置は、前記第1の目的を達成し、基板上の第1の素子領域に形成された第1のスイッチ用トランジスタと、第1の素子領域上に延びるように形成され、第1の素子領域上でゲート電極となる第1のワード線と、第1の素子領域上における第1のワード線の側方の一方側の領域に形成されたデータ蓄積用の第1のキャパシタと、第1の素子領域上における第1のワード線の側方の他方側の領域に形成され、第1の素子領域と電氣的に接続された第1のビット線コンタクトと、基板上における第1のワード線に対して第1のキャパシタ側に、第1の素子領域と間隔をおいて設けられた第2の素子領域に形成された第2のスイッチ用トランジスタと、第2の素子領域上に第1のワード線と間隔をおいて形成され、第2の素子領域上でゲート電極となる第2のワード線と、第2の素子領域上における第

2のワード線に対して第1のキャパシタ側に形成されたデータ蓄積用の第2のキャパシタと、第2の素子領域上における第2のワード線に対して第2のキャパシタと反対側に形成され、第2の素子領域と電氣的に接続された第2のビット線コンタクトとを備え、第1のキャパシタ及び第2のキャパシタは、第1のワード線及び第2のワード線に挟まれた領域に、第1の素子領域と第2の素子領域とを電氣的に接続するストレージノードを有している。

【0024】第3の半導体記憶装置によると、基板上に互いに間隔をおいて形成された第1の素子領域及び第2の素子領域を備え、第1のスイッチ用トランジスタの第1の素子領域には第1のキャパシタが形成され、第2のスイッチ用トランジスタの第2の素子領域には第2のキャパシタが形成されている。さらに、第1のキャパシタ及び第2のキャパシタには、第1のワード線及び第2のワード線に挟まれた領域に第1の素子領域と第2の素子領域とを電氣的に接続するストレージノードが形成されているため、1トランジスタ1キャパシタメモリセルにおけるレイアウト構成を変更することなく、2トランジスタ1キャパシタのレイアウト構成を得ることができ

【0025】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0026】図1は本発明の第1の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図1に示すように、半導体基板上に複数のメモリセル10が配置されている。メモリセル10には、該メモリセルの中心部から互いに離れる方向に2つの屈曲部を有する平面クランク形状の拡散層からなる素子領域11が形成されている。素子領域11上には、屈曲部をそれぞれ横切るように互いに間隔をおいて延びる第1のワード線12A及び第2のワード線12Bが形成され、第1のワード線12A及び第2のワード線12Bは素子領域11上で、第1のスイッチ用トランジスタ11aを制御するゲート電極及び第2のスイッチ用トランジスタ11bを制御するゲート電極となる。これにより、素子領域11におけるゲート電極同士で互いに挟まれる領域が共有部11cとなる。

【0027】共有部11cのほぼ中央部には、データ蓄積用のキャパシタ（図示せず）が形成されると共に、キャパシタのストレージノードと素子領域11の上面とを電氣的に接続するキャパシタコンタクト13が形成されている。

【0028】素子領域11上における、第1のワード線12Aに対してキャパシタコンタクト13と反対側の端部には、素子領域11の上面と電氣的に接続された第1のビット線コンタクト14Aが形成され、第2のワード線12Aに対してキャパシタコンタクト13と反対側の

端部には、素子領域 11 の上面と電氣的に接続された第 2 のビット線コンタクト 14 B が形成されている。

【0029】第 1 のビット線コンタクト 14 A 上には、第 1 のビット線コンタクト 14 A と電氣的に接続し且つ第 1 のワード線 12 A の上方を交差するように延びる、キャパシタに対するデータ読み書き用の第 1 のビット線 15 A が形成され、第 2 のビット線コンタクト 14 B 上には、第 2 のビット線コンタクト 14 B と電氣的に接続し且つ第 1 のビット線 15 A と間隔をおいて第 2 のワード線 12 B の上方を交差するように延びる、キャパシタに対するデータ読み書き用の第 2 のビット線 15 B が形成されている。なお、各コンタクト 13、14 A、14 B はこれらの上にそれぞれ形成されている構成部材に覆われているが、各コンタクトの位置を明確にするために、便宜上実線で表わすこととする。以下の各実施形態についても同様とする。

【0030】図 2 は本実施形態に係る 2 トランジスタ 1 キャパシタメモリセルの回路構成を示している。図 2 において、図 1 に示す構成部材と対応する構成要素には同一の符号を付すことにより説明を省略する。なお、図 2 に示す回路図は第 2 の実施形態以降の各半導体記憶装置にも適用できる。

【0031】このように、本実施形態によると、2 つのスイッチ用トランジスタ 11 a、11 b の素子領域 11 のうちのソース領域を共有する構成とすることにより、キャパシタコンタクト 13 を共有できるため、メモリセル 10 のキャパシタコンタクト 13 を 1 つにでき、メモリセル 10 の占有面積を低減できる。

【0032】また、第 1 のビット線コンタクト 14 A 及び第 2 のビット線コンタクト 14 B はメモリセル 10 の中心部に対してほぼ点対称に配置されており、キャパシタコンタクト 13 は、第 1 のワード線 12 A、第 2 のワード線 12 B、第 1 のビット線 15 A 及び第 2 のビット線 15 B により囲まれた素子領域 11 の共有部 11 c のほぼ中心部に配置されている。このため、ワード線 12 A、12 B の配線ピッチと、ビット線 15 A、15 B の配線ピッチとが共に縮小できるので、メモリセル 10 のさらなる微細化を実現できる。

【0033】その上、素子領域 11 の形状の対称性及び各ビット線コンタクト 14 A、14 B の配置の対称性、キャパシタコンタクト 13 の配置位置の関係から、メモリセル 10 の 2 つのスイッチ用トランジスタの形状の対称性が確立され、メモリセル 10 自体の性能の均一化を図れる。

【0034】なお、本実施形態においては、素子領域 11 の平面形状をクランク形状としたが、対称性を有しておればどのような形状でもかまわない。

【0035】(第 2 の実施形態) 以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

【0036】図 3 は本発明の第 2 の実施形態に係る半導

体記憶装置の部分的な平面構成を示している。図 3 において、図 1 に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0037】本実施形態の特徴として、第 1 の実施形態と同様の構成を持つ第 1 のメモリセル 10 A と、該第 1 のメモリセル 10 A と各ビット線 15 A、15 B が延びる方向に隣接する第 2 のメモリセル 10 B とは連続して形成されており、これらのメモリセル 10 A、10 B を併せて配置時の単位セルとなる。

10 【0038】第 2 のメモリセル 10 B は、第 1 のメモリセル 10 A におけるワード線 12 A と平行な中心線を軸に 180 度回転させて得られるクランク形状の素子領域 11 を有している。

【0039】従って、図 3 に示すように、第 1 のメモリセル 10 A 及び第 2 のメモリセル 10 B の第 2 のスイッチ用トランジスタ 11 b 同士は拡散層が連続的に形成されることになるため、製造時において、素子領域 11 が孤立する場合と比べて形状を維持しやすい。その上、第 1 のメモリセル 10 A 及び第 2 のメモリセル 10 B の間に位置する第 2 のビット線コンタクト 14 B は互いに隣接する第 2 のスイッチ用トランジスタ 11 b 同士により共有されるため、ビット線コンタクトの総数を半分にできる。同様に、第 1 のビット線コンタクト 14 A もビット線方向で隣接する第 1 のスイッチ用トランジスタ 11 a 同士により共有されるため、メモリセル 10 A、10 B の面積をビット線方向にさらに 10%~20% 程度削減できる。

【0040】(第 3 の実施形態) 以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

30 【0041】図 4 は本発明の第 3 の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図 4 において、図 3 に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0042】本実施形態の特徴として、素子領域 11 上における第 1 のワード線 12 A 及び第 2 のワード線 12 B の形成位置、すなわち各ゲート電極の形成位置を各メモリセル 10 A、10 B の内側にずらしている。さらに、所定のゲート幅を得られるように、例えば、第 1 のワード線 12 A は、第 1 のビット線 15 A から離れるにつれてキャパシタコンタクト 13 から遠ざかる方向に屈曲している。同様に、第 2 のワード線 12 B も、所定のゲート幅を得られるように、第 2 のビット線 15 B から離れるにつれてキャパシタコンタクト 13 から遠ざかる方向に屈曲している。この場合でも、第 1 のワード線 12 A 及び第 2 のワード線 12 B との配線ピッチは維持されている。

【0043】このように、本実施形態によると、第 1 のワード線 12 A がキャパシタコンタクト 13 側に屈曲しているため、キャパシタコンタクト 13 と第 1 のビット線コンタクト 14 A との距離が小さくなる。これによ

り、第1のメモリセル10A及び第2のメモリセル10Bの素子領域11同士が接続してなるコの字形の領域の内側に形成される素子分離領域の面積を低減でき、ビット線方向にさらに微細化できる。

【0044】なお、本実施形態においては、ワード線12A、12Bについて説明を行なったが、ビット線15A、15Bについても同様のことが言える。すなわち、素子領域11を、ワード線方向に圧縮し、ビット線15A、15Bをキャパシタコンダクト13から遠ざかる方向に屈曲させればよい。

【0045】(第4の実施形態)以下、本発明の第4の実施形態について図面を参照しながら説明する。

【0046】図5は本発明の第4の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図5において、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0047】図5に示すように、素子領域11は、第1のワード線12A及び第2のワード線12Bに挟まれた領域に共有部11cとなる突き出し部を設けた平面かぎ形状を有している。このため、第1のスイッチ用トランジスタ11a及び第2のスイッチ用トランジスタ11bのゲート電極は共に第2のビット線15Bに形成されることとなる。ここでも、各メモリセル10A、10Bにおいて、キャパシタコンダクト13は共有部11cのほぼ中央部に形成され、第1のビット線コンダクト14A及び第2のビット線コンダクト14Bはメモリセル10A、10Bの各中心部に対してほぼ点対称に配置されている。

【0048】これにより、所定の能力を発揮するのに必要なスイッチ用トランジスタ11a、11bの各チャネル幅を第2のビット線15Bの配線ピッチに収めることができる。その結果、第1のビット線15Aと第2のビット線15Bとの配線ピッチは各スイッチ用トランジスタ11a、11bのチャネル幅に関係なく縮小できるため、該スイッチ用トランジスタ11a、11bのチャネル幅によりメモリセル10A、10Bのサイズが規制される場合に有利となる。

【0049】なお、素子領域11の平面形状は図5に示した形状に限らず、本実施形態の条件を満たせばよい。すなわち、第1のビット線15A及び第2のビット線15Bのうち、素子領域11と重なる側のワード線でのみチャネル幅が決定されるという条件を満たせば他の形状であってもよい。

【0050】また、ビット線方向に隣り合うメモリセル10A、10Bの素子領域11の関係が、図5のような対称性を有していなくてもよい。

【0051】(第5の実施形態)以下、本発明の第5の実施形態について図面を参照しながら説明する。

【0052】図6は本発明の第5の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図6にお

いて、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0053】本実施形態においては、各素子領域11が方形のメモリセル10A、10Bにおけるほぼ対角位置に設けられていることを特徴とする。具体的には、素子領域11は、第1のワード線12A、第2のワード線12B、第1のビット線15A及び第2のビット線15Bのいずれに対しても、メモリセル10A、10B内において斜めとなるように設けられている。

10 【0054】これにより、第2の実施形態や第4の実施形態の素子領域11と比べて素子領域11の面積が小さくなり、より密なレイアウトを実現できる。

【0055】(第6の実施形態)以下、本発明の第6の実施形態について図面を参照しながら説明する。

【0056】図7は本発明の第6の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図7において、図1に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

20 【0057】図7に示すように、本実施形態に係る素子領域11は、第1のビット線15A及び第2のビット線15Bに挟まれた方形形状を有している。さらに、第1のビット線コンダクト14Aと第1のビット線15Aとの間には、該第1のビット線コンダクト14A及び第1のビット線15Aを電気的に接続する第1のビット補助線16Aが設けられ、同様に、第2のビット線コンダクト14Bと第2のビット線15Bとの間には、該第2のビット線コンダクト14B及び第2のビット線15Bを電気的に接続する第2のビット補助線16Bが設けられている。これにより、第1のビット線コンダクト14A、第2のビット線コンダクト14B及びキャパシタコンダクト13はほぼ直線的に配置できるため、メモリセル10のワード線方向のサイズをより縮小できる。

【0058】さらに、素子領域11は、各スイッチ用トランジスタ11a、11bに必要最小限のサイズでよく、素子領域11の面積によって該トランジスタ11a、11bの能力が規制される場合には、素子領域11の面積を最適化できる。

40 【0059】また、これまでの実施形態に示したような屈曲する素子領域の場合に形成される余剰な素子分離領域mp面積を低減できる。

【0060】その上、素子領域11の形状が単純化されるため、製造時における素子領域11の形状が容易に維持される。

50 【0061】なお、本実施形態においては、ビット線コンダクト14A、14Bとキャパシタコンダクト13とをビット線方向に1列に配置しているが、必ずしも1列に配置する必要はない。また、各ビット線15A、15Bを直線状に形成したが、これに限らず、配線ピッチの都合上、これらビット線15A、15Bを屈曲させてもよい。

【0062】（第7の実施形態）以下、本発明の第7の実施形態について図面を参照しながら説明する。

【0063】図8は本発明の第7の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図8において、図7に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0064】本実施形態の特徴として、第6の実施形態と同様の構成を持つ第1のメモリセル10Aの素子領域11と、ビット線方向に隣接する第2のメモリセル10Bの素子領域11とは連続して形成されており、これらのメモリセル10A、10Bを併せて配置時の単位セルとなる。

【0065】第2のメモリセル10Bは方形状の素子領域11を有しており、第2のメモリセル10Bの第2のワード線12Bを第1のメモリセル10Aの第2のワード線12B側に配置することにより、第2のビット線コンタクト14Bが共有されている。これは、第1のビット線コンタクト14Aについても同様である。これにより、各メモリセル10A、10Bのサイズをビット線方向に圧縮できる。

【0066】さらに、本実施形態の特徴として、第1のビット線15A1を下層配線とし、第2のビット線を上層配線とする2層配線構造を有しているため、ワード線方向に隣接するメモリセル10A、10B同士の間隔をさらに縮めることができるので、メモリセル10A、10Bのサイズをワード線方向にも圧縮できる。

【0067】その上、各ビット線15A1、15B2を2層配線とすることにより、互いに隣接するビット線15A1、15B2の分離領域のマージンを意識する必要がなくなるため、素子領域11におけるワード線方向の必要最小限の幅寸法により規制されるレイアウト構成が可能となるので、メモリセル10A、10Bの大幅な微細化を実現できる。

【0068】（第8の実施形態）以下、本発明の第8の実施形態について図面を参照しながら説明する。

【0069】図9は本発明の第8の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図9において、図8に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0070】図9に示すように、下層配線である第2のビット線15B1と上層配線である第1のビット線15A2は、メモリセル10A、10Bの上方で互いに交差している。

【0071】これにより、第1のビット線15A2及び第2のビット線15B1は配線間の寄生容量が減少するため、干渉雑音を低減できる。従って、メモリセル10A、10Bの専有面積を縮小でき、且つ、ビット線間の干渉雑音を低減できる。

【0072】なお、本実施形態においては、図9に示すように、2対のビット線のうちの1対のみを交差する構

成としたが、いずれのビット線対をも交差する構成とすれば、互いに隣接するビット線間の干渉雑音をさらに低減できることはいうまでもない。

【0073】（第9の実施形態）以下、本発明の第9の実施形態について図面を参照しながら説明する。

【0074】図10は本発明の第9の実施形態に係る半導体記憶装置の部分的な平面構成を示している。図10において、図7に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0075】本実施形態に係る第1のビット線15C及び第2のビット線15Dは、メモリセル上で互いに交差するだけでなく、メモリセルごとに下層配線と上層配線とを交互に繰り返す構成を有している。

【0076】図10に示すように、例えば、第1のビット線15Cは、2つの第1のビット線コンタクト14Aを持つ第3のメモリセル10Cにおいては下層配線となり、該第3のメモリセル10Cと隣接する第1のメモリセル10Aにおいては配線コンタクト17を介在させて上層配線となると共に、第1のメモリセル10Aを該第1のメモリセル10Aの一方の側部側から他方の側部側に斜めに横切るように設けられている。

【0077】同様に、第2のビット線15Dは、第3のメモリセル10Cにおいては上層配線となり、隣接する第1のメモリセル10Aにおいては配線コンタクト17を介在させて下層配線となると共に、第1のビット線15Cとキャパシタコンタクト13の上方で交差するように設けられている。

【0078】このようにすると、互いに隣接するビット線間の干渉雑音を確実に低減できる上に、複数のメモリセルが行列状に配列されてなるメモリセルアレイにおけるビット線の配置に、基板面に平行な面内及び垂直な面内のいずれにも偏りがなくなるため、ビット線配線の材質の均等性が図れるので、メモリセルの性能が均一化される。

【0079】（第10実施形態）以下、本発明の第10の実施形態について図面を参照しながら説明する。

【0080】図11は本発明の第10の実施形態に係る半導体記憶装置の部分的な平面構成を示している。

【0081】図11に示すように、半導体基板上のメモリセル10には、第1のスイッチ用トランジスタ11aを構成する第1の素子領域11Aと第2のスイッチ用トランジスタ11bを構成する第2の素子領域11Bとが形成されている。

【0082】第1の素子領域11A上には、該第1の素子領域11A上でゲート電極となる第1のワード線12Aと、メモリセル10における第1のワード線12Aに対して内側の領域に形成されたデータ蓄積用の第1のキャパシタ（図示せず）と、メモリセル10における第1のワード線12Aに対して外側の張り出し領域に形成され、第1の素子領域11Aと電気的に接続された第1の



ビット線コンタクト 14A とが形成されている。

【0083】同様に、第2の素子領域 11B 上には、該第2の素子領域 11B 上でゲート電極となる第2のワード線 12B と、メモリセル 10 における第2のワード線 12B に対して内側の領域に形成されたデータ蓄積用の第2のキャパシタ（図示せず）と、メモリセル 10 における第2のワード線 12B に対して外側の張り出し領域に形成され、第2の素子領域 11B と電氣的に接続された第2のビット線コンタクト 14B とが形成されている。

【0084】半導体基板上における第1のキャパシタ及び第2のキャパシタの下側には第1の素子領域 11A と第2の素子領域 11B とを電氣的に接続するストレージノード 18 が形成されている。ストレージノード 18 上には、該ストレージノード 18 と第1のキャパシタとを電氣的に接続する第1のキャパシタコンタクト 13A と、該ストレージノード 18 と第2のキャパシタとを電氣的に接続する第2のキャパシタコンタクト 13B とがそれぞれ形成されている。

【0085】このように、本実施形態に係るメモリセル 10 は、図 12 に示した従来の最密充填構造の 1 トランジスタ 1 キャパシタメモリセルと同等の第1の素子領域 11A 及び第2の素子領域 11B を用い、これらのワード線 12A、12B に挟まれる領域に形成された第1及び第2のキャパシタのストレージノード 18 を共有することにより、2 トランジスタ 1 キャパシタメモリセルを実現している。

【0086】これにより、従来の 1 トランジスタ 1 キャパシタメモリセルの製造プロセスをほとんど流用できるため、プロセスコストを大幅に削減できる。すなわち、1 トランジスタ 1 キャパシタメモリセルに用いるストレージノードのマスクを、本実施形態に係るメモリセル 10 のストレージノード 18 に変更するだけでよく、マスクの製造費用を大幅に削減しながら、容易に且つ確実に 2 トランジスタ 1 キャパシタメモリセルを実現できる。

【0087】なお、本実施形態において、第1の素子領域 11A 及び第2の素子領域 11B をアレイ状に形成し、第1のキャパシタ及び第2のキャパシタを共有してなる 2 トランジスタ 1 キャパシタメモリセル（＝メモリセル 10）と、第1のキャパシタ及び第2のキャパシタを共有しない従来型の 1 トランジスタ 1 キャパシタメモリセルとが混在するような半導体記憶装置をも容易に実現できる。

【0088】

【発明の効果】本発明の第1の半導体記憶装置によると、第1のスイッチ用トランジスタと第2のスイッチ用トランジスタとの素子領域の一部分からなる共有部にデータ蓄積用のキャパシタ及びキャパシタコンタクトを形成しているため、メモリセルの面積を低減でき、確実に高集積化を図れる。その上、第1のビット線コンタクト

及び第2のビット線コンタクトは、メモリセルの中心部に対してほぼ点対称となるように設けられているため、メモリセルにおける2つのスイッチ用トランジスタの配置に偏りが無いので、メモリセル自体に性能のばらつきが生じず、動作が安定する。

【0089】本発明の第2の半導体記憶装置によると、本発明の第1の半導体記憶装置と同様の効果を得られる上に、ビット線が延びる方向に互いに隣接するメモリセル同士における素子領域のビット線方向側の端部が互いに連続しており、素子領域の形状が連続するため、製造時に素子領域が孤立している場合よりも素子領域の形状を維持しやすくなる。また、ビット線コンタクトが互いに隣接するメモリセル同士によりそれぞれ共有されているため、ビット線コンタクトの数が半減するので、その結果、セルの専有面積をさらに小さくできる。

【0090】第2の半導体記憶装置において、第1のワード線及び第2のワード線が第1のビット線又は第2のビット線と交差する交差部の両側で屈曲する屈曲部を有していると、例えば、屈曲部がメモリセルの内側に屈曲し、且つ、ビット線コンタクトを屈曲部の内側に形成すれば、該ビット線コンタクトとキャパシタコンタクトとの距離が小さくなり、メモリセルのビット線方向のサイズを縮小できる。

【0091】第2の半導体記憶装置において、第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタの各ゲート電極が、素子領域における第1のビット線及び第2のビット線のうちいずれか一方と重なる領域にのみ形成されていると、第1のビット線と第2のビット線との配線ピッチが各スイッチ用トランジスタのチャネル幅に関係なく縮小でき、その結果、メモリセルのワード線方向のサイズを縮小できる。

【0092】第2の半導体記憶装置において、第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタの各素子領域が、第1のワード線、第2のワード線、第1のビット線及び第2のビット線のいずれに対しても、基板面内において斜めとなるように設けられていると、素子領域の面積が小さくなるため、より密なレイアウトを実現できる。

【0093】第2の半導体記憶装置は、第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタの各素子領域が、第1のビット線及び第2のビット線の間に設けられており、第1のビット線と第1のビット線コンタクトとの間に形成され、第1のビット線と第1のビット線コンタクトとを電氣的に接続する第1のビット補助線と、第2のビット線と第2のビット線コンタクトとの間に形成され、第1のビット線と第1のビット線コンタクトとを電氣的に接続する第2のビット補助線とをさらに備えていると、第1のビット線コンタクト、第2のビット線コンタクト及びキャパシタコンタクトがほぼ直線的に配置されるため、メモリセルのワード線方向のサイ

ズを大幅に縮小できる。

【0094】この場合の第2の半導体記憶装置において、ビット線方向に互いに隣接するメモリセル同士の該ビット線方向側の端部における第1のスイッチ用トランジスタの素子領域同士及び第2のスイッチ用トランジスタの素子領域同士がそれぞれ連続し、第1のビット線コンタクト及び第2のビット線コンタクトは互いに隣接するメモリセル同士によりそれぞれ共有されていると、素子領域の形状が連続するため、製造時に素子領域の形状を維持しやすくなる。また、ビット線コンタクトが互いに隣接するメモリセル同士によりそれぞれ共有されているため、ビット線コンタクトの数が半減するので、一層の微細化を実現できる。

【0095】この場合の第2の半導体記憶装置において、第1のビット線と第2のビット線とが互いに重ねられた2層配線層からなると、互いに隣接するビット線の分離領域のマージンを意識する必要がなくなるため、メモリセルの大幅な微細化を実現できる。

【0096】この場合の第2の半導体記憶装置において、2層配線層がメモリセルの上方で互いに交差していると、ビット線が平行に配置されている場合と比べて、ビット線間の寄生容量が低減するため、ビット線間の干渉雑音を低減でき、所望の性能を確実に得ることができる。

【0097】この場合の第2の半導体記憶装置において、第1のビット線及び第2のビット線が、それぞれが配線コンタクトにより電氣的に接続された上層配線及び下層配線を有し、上層配線及び下層配線は、互いに隣接するメモリセルごとに上層と下層との位置が互いに入れ替わるように設けられていると、各ビット線の配置に、基板面に平行な面内及び垂直な面内のいずれにも偏りがなくなるため、ビット線配線の材質の均等性が図れるので、メモリセルの性能が均一化できる。

【0098】本発明の第3の半導体記憶装置によると、従来の1トランジスタ1キャパシタメモリセルにおけるレイアウト構成を変更することなく、2トランジスタ1キャパシタのレイアウト構成を容易に得ることができるため、従来の製造プロセスをほぼそのまま流用できるので、製造コスト大幅に低減できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体記憶装置を示す部分平面図である。

【図2】本発明に係る半導体記憶装置を示す回路図である。

【図3】本発明の第2の実施形態に係る半導体記憶装置を示す部分平面図である。

【図4】本発明の第3の実施形態に係る半導体記憶装置

を示す部分平面図である。

【図5】本発明の第4の実施形態に係る半導体記憶装置を示す部分平面図である。

【図6】本発明の第5の実施形態に係る半導体記憶装置を示す部分平面図である。

【図7】本発明の第6の実施形態に係る半導体記憶装置を示す部分平面図である。

【図8】本発明の第7の実施形態に係る半導体記憶装置を示す部分平面図である。

【図9】本発明の第8の実施形態に係る半導体記憶装置を示す部分平面図である。

【図10】本発明の第9の実施形態に係る半導体記憶装置を示す部分平面図である。

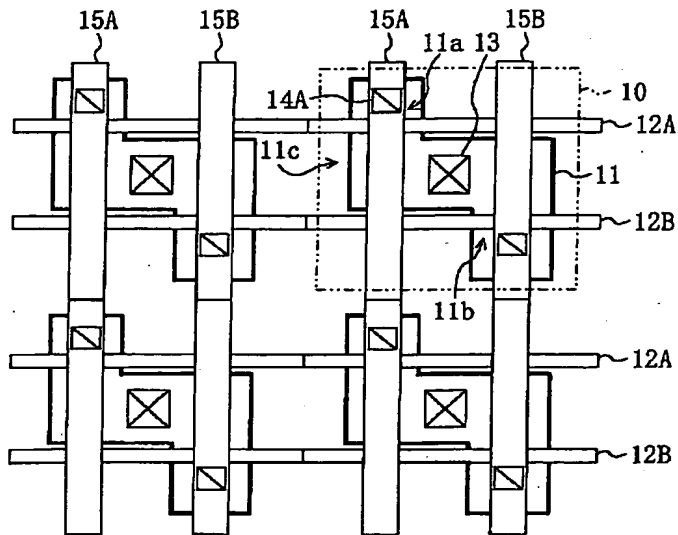
【図11】本発明の第10の実施形態に係る半導体記憶装置を示す部分平面図である。

【図12】従来の1トランジスタ1キャパシタメモリセルを示す部分平面図である。

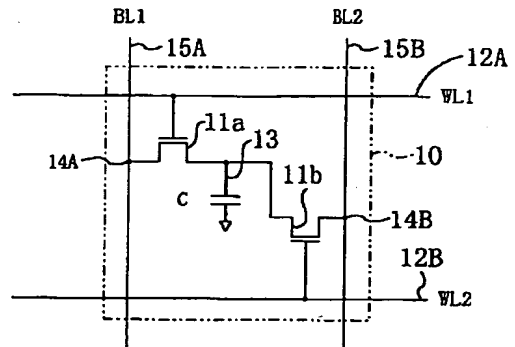
#### 【符号の説明】

10	メモリセル
10A	第1のメモリセル
10B	第2のメモリセル
10C	第3のメモリセル
11	素子領域
11a	第1のスイッチ用トランジスタ
11b	第2のスイッチ用トランジスタ
11c	共有部
11A	第1の素子領域
11B	第2の素子領域
12A	第1のワード線
12B	第2のワード線
13	キャパシタコンタクト
13A	第1のキャパシタコンタクト
13B	第2のキャパシタコンタクト
14A	第1のビット線コンタクト
14B	第2のビット線コンタクト
15A	第1のビット線
15A1	第1のビット線
15A2	第1のビット線
15B	第2のビット線
15B1	第2のビット線
15B2	第2のビット線
15C	第1のビット線
15D	第2のビット線
16A	第1のビット補助線
16B	第2のビット補助線
17	配線コンタクト
18	ストレージノード

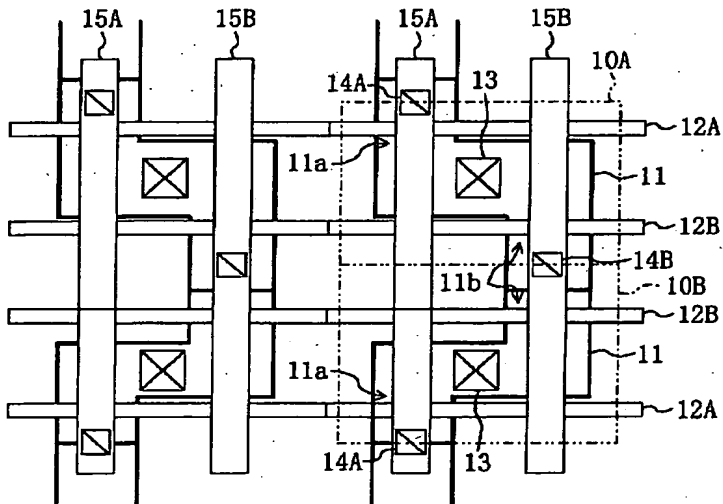
【図 1】



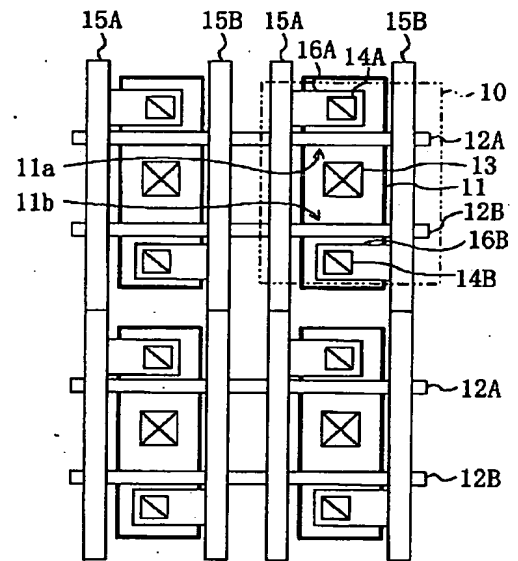
【図 2】



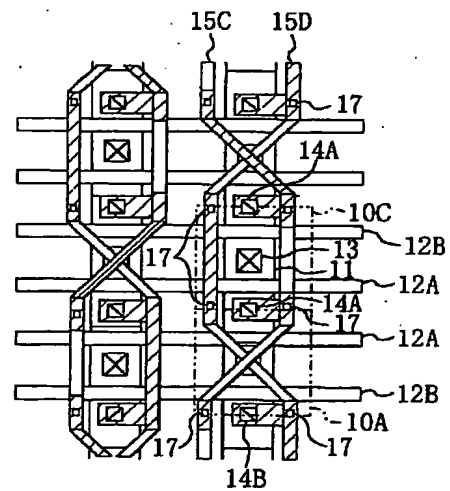
【図 3】



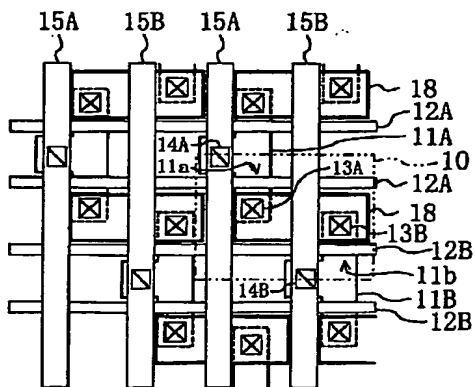
【図 7】



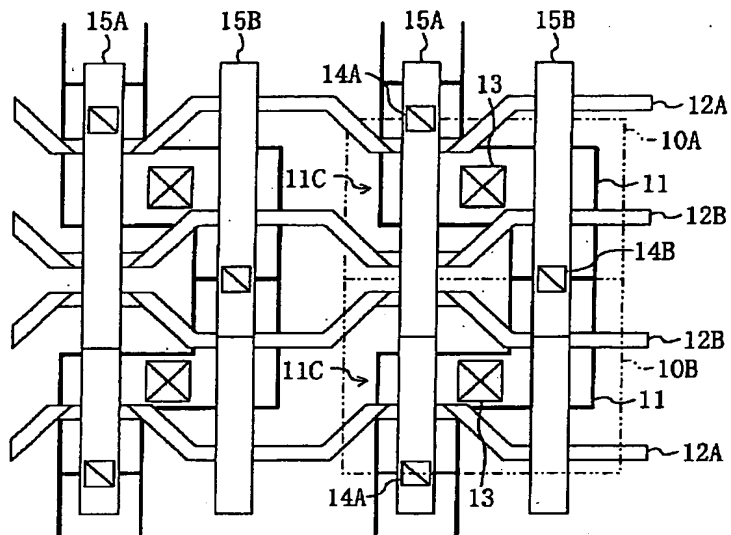
【図 10】



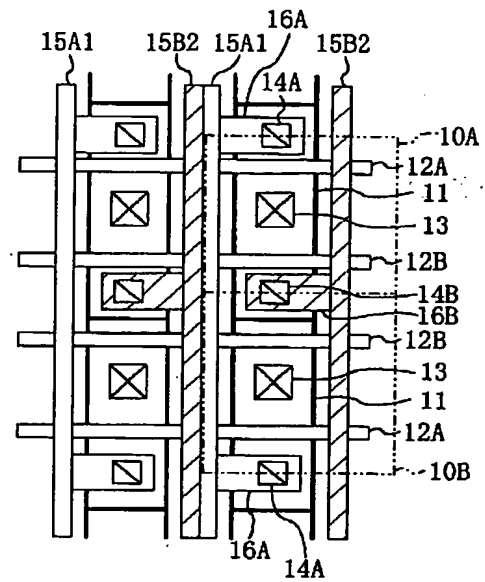
【図 11】



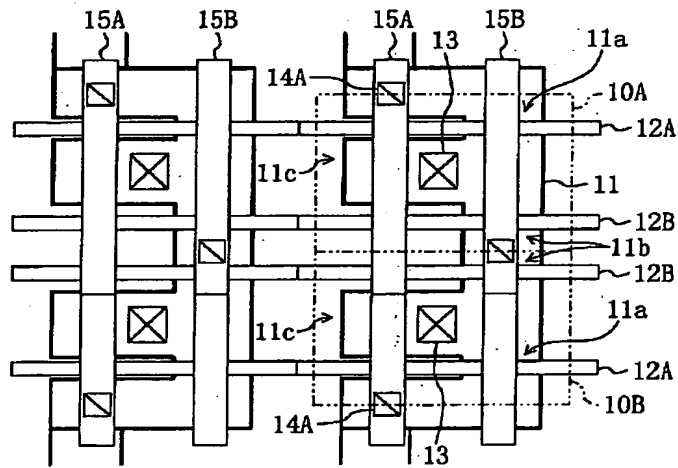
【図 4】



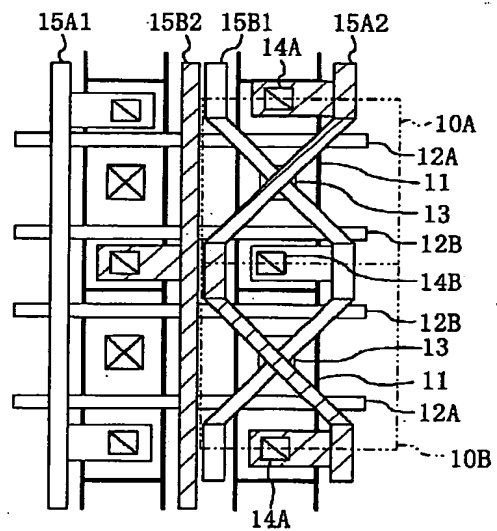
【図 8】



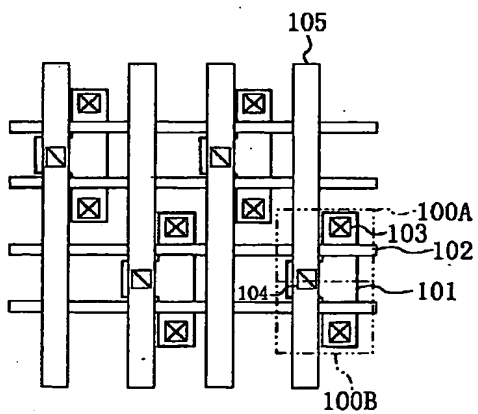
【図 5】



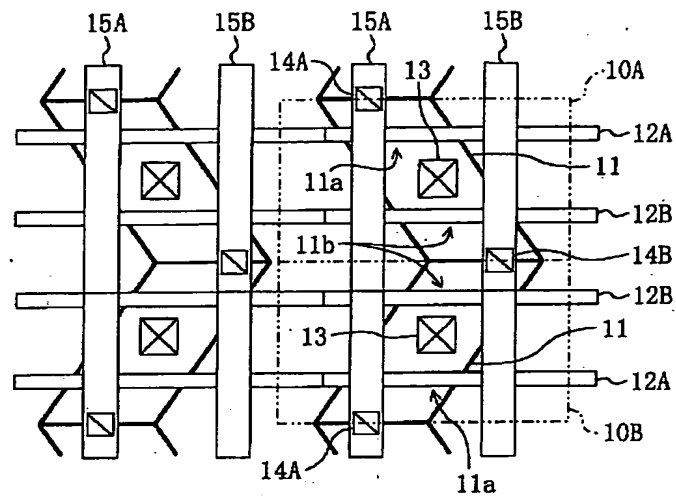
【図 9】



【図 12】



【図6】



フロントページの続き

(72)発明者 高橋 和也  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 5F083 AD69 GA03 GA09 KA05 LA01  
LA12 LA16 LA21